

KOREAN PATENT ABSTRACTS

(11)Publication number: 100281266 B1
(43)Date of publication of application: 16.11.2000

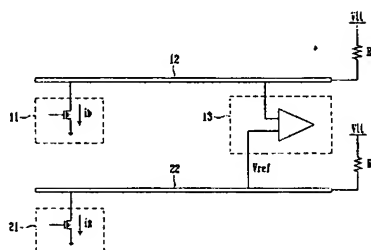
(21)Application number: 1019970026186
(22)Date of filing: 20.06.1997
(51)Int. Cl. G11C 7/00

(71)Applicant: HYNIX SEMICONDUCTOR INC.
(72)Inventor: SEO, JEONG WON

(54) HIGH SPEED BUS INTERFACE CIRCUIT

(57) Abstract:

PURPOSE: A high speed bus interface circuit is provided, which reduces the influence of a common mode noise and a ground bounce and at the same time reduces a swing of an output voltage, and thus realizes a high speed and a low power consumption, by driving a data driver and a reference voltage driver at the same time in a memory interface using a singled-terminated or a parallel-terminated transmission line.



CONSTITUTION: A data driver(11) transfers a data signal through a single-terminated transmission line(12), and a reference voltage driver (21) transfers a reference voltage signal(Vref) through a transmission line(22) of the same environment as the single-terminated transmission line. And a receiver(13) judges a logic value by comparing the data signal transferred through the transmission line with the reference voltage signal. Because the reference voltage signal is transferred to the receiver through the transmission line of the same environment as the data signal, the data transmission line and the reference voltage line are influenced by a common mode noise together. And the receiver uses a differential amplifier and thus reduces the common mode noise influence. And if there is a change in a driving condition of the data driver, there is also a change in a driving condition of the reference voltage driver, and thus the influence of a ground bounce is reduced.

© KIPO 2002

Legal Status

Date of final disposal of an application (20000712)

Patent registration number (1002812660000)

Date of registration (20001116)

Number of trial against decision to refuse (2000101001847)

Date of requesting trial against decision to refuse (20000810)

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁶
G11C 7/00

(11) 공개번호 특1999-002552
(43) 공개일자 1999년01월15일

(21) 출원번호 특1997-026186
(22) 출원일자 1997년06월20일
(71) 출원인 현대전자산업 주식회사 김영환
경기도 이천시 부발읍 아미리 산 136-1
(72) 발명자 서정원
경기도 이천시 사동리 441-1 현대아파트 108-601
(74) 대리인 이권희, 이정훈

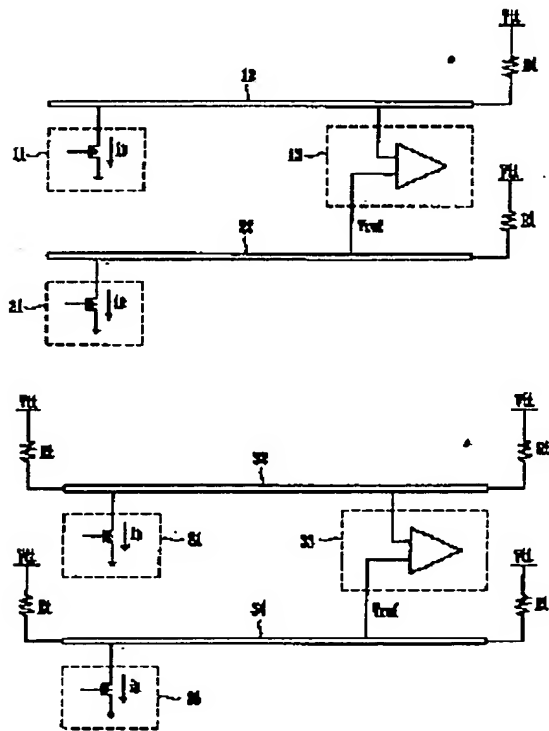
심사청구 : 있음

(54) 고속 버스 인터페이스 회로

요약

본 발명은 싱글 또는 패러럴 터미네이션되어 있는 전송 라인을 사용하는 버스 인터페이스에서 데이터 드라이버와 기준 전압 드라이버를 동시에 구동하여 리시버에 데이터 신호와 기준 전압 신호를 전달함으로써 커먼 모드 노이즈의 영향을 줄일 수 있고 출력 전압의 변동폭을 최소한으로 유지하여 고속, 저 전력을 실현한 고속 버스 인터페이스 회로에 관한 것이다.

도면



명세서

도면의 간단한 설명

도 1은 종래의 버스 인터페이스 개념도.

도 2A는 본 발명의 제 1 실시예에 의한 고속 버스 인터페이스의 개념도.

도 2B는 본 발명의 실시예에 의한 고속 버스 인터페이스의 데이터 신호 및 기준전압 신호의 파형도.

도 3은 도 2A에 도시된 개념도를 구체화한 본 발명의 고속 버스 인터페이스 회로도.

도 4는 본 발명의 제 2 실시예에 의한 고속 버스 인터페이스의 개념도.

도 5는 도 4에 도시된 개념도를 구체화한 본 발명의 고속 버스 인터페이스 회로도.

+도면의 주요부분에 대한 부호의 설명+

11,31 : 데이터 드라이버 12,22,32,34 : 신호 전송 라인

13,33 : 리시버(Receiver) 14 : 기준 전압 전송 라인

21,35 : 기준 전압 드라이버

V_{tt} : 터미네이션 전압(Termination Voltage)

V_{ref} : 기준 전압(Reference Voltage)

R_t : 터미네이션 저항(Transmission Line의 특성 임피던스와 매칭되어 전달된 신호의 반사를 막아 신호의 왜곡을 제거한다.

R1R2 : 기존의 버스 인터페이스에서 V_{ref}를 생성하기 위한 저항. 보드(Board)에서 저항비(ratio)로 V_{ref} 전압 레벨이 생성되어 각 칩의 리시버(Receiver)에서 공유한다.

싱글 터미네이션(Single Termination) : 전송 라인의 한쪽 끝만 터미네이션된 것을 말한다.

패러렐 터미네이션(Parallel Termination) : 전송 라인의 양쪽 모두 터미네이션된 것을 말한다.

리시버(Receiver) : 전송 라인으로 전달된 데이터 신호의 전압을 V_{ref} 신호의 전압과 비교하여 1 또는 0을 판별한다.

드라이버(Driver) : 오픈 드레인(Open Drain) 구조의 드라이버. nMOS 드라이버가 '턴-오프(turn-off)' (또는 '턴-온')되어 0(또는 1) 데이터 신호를 전송 라인을 통해 리시버로 전달한다.

recA 1~recA n : 칩 A에서의 n개의 리시버

recB 1~recB n : 칩 B에서의 n개의 리시버

drvA 1~drvA n : 칩 A에서의 n개의 드라이버

drvB 1~drvB n : 칩 B에서의 n개의 드라이버

refA : 칩 A에서의 V_{ref} 드라이버

refB : 칩 B에서의 V_{ref} 드라이버

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체 메모리 소자의 버스 인터페이스(Bus interface) 회로에 관한 것으로, 특히 싱글(Single) 또는 패러렐(Parallel) 터미네이션(Termination)되어 있는 전송 라인을 사용하는 버스 인터페이스에서 데이터 드라이버와 기준 전압 드라이버를 동시에 구동하여 리시버(Receiver)에 데이터 신호와 기준 전압 신호를 전달함으로써 커먼 모드 노이즈(Common Mode Noise)의 영향을 줄일 수 있고 출력 전압의 변동폭(Swing)을 최소한으로 유지하여 고속, 저 전력을 실현한 고속 버스 인터페이스 회로에 대한 기술이다.

컴퓨터의 주기억(Main Memory) 및 Video 메모리로 사용되는 DRAM은 시스템의 성능 향상을 위해 높은 밴드폭(Bandwidth)이 요구된다. 이러한 요구조건을 만족시키기 위해서는 데이터 신호를 고속으로 교환하는 버스 인터페이스에 대한 검토가 필요하다. 지난 20년간 TTL 버스 인터페이스는 산업 표준으로 널리 사용되어 왔다. 그러나 50MHz 이상의 시스템 속도에서는 전력 소모와 잡음 등의 문제가 증가하며, 신호의 반사와 링잉(Ringing) 현상에 의해 고속화에 한계가 있다. 이러한 문제를 다소 완화시키는 방법이 낮은 전압을 사용하는 것인데 LVTTTL(Low Voltage TTL)은 100MHz 이하의 시스템 속도에서 폭 넓게 사용되고 있었다. 그러나, LVTTTL 인터페이스 방법도 100MHz 이상의 시스템 속도에서는 TTL 인터페이스와 마찬가지로 전력 소모와 잡음 등의 여러 가지 문제가 증가하며 적용이 어렵다. 이러한 문제를 해결하기 위하여 GTL(Gunning Transceiver Logic)이나, RSL(Rambus Signaling Logic) 인터페이스가 제안되고 있으나, 공통 모드 잡음(Common Mode Noise)에 취약하여 전압 변동 폭을 감소시키는데 한계가 있었다. 본 발명은 고속 메모리의 인터페이스나 고속으로 동작하는 ASIC의 버스 인터페이스에 적합하며, 공통 모드 노이즈에 대한 영향을 적게 받고, 작은 전압 변동 폭을 사용하므로 고속, 저 전력 소모를 실현한다.

JEDEC(Joint Electronic Device Engineering Council) JC-16 분과위원회는 고속 SDRAM(Synchronous DRAM

M)에 맞는 인터페이스로 GTL 등을 표준화하고 있다. 또한 1.668/sec 이상이 बैं드폭(Bandwidth)을 실현하는 램버스 디램(Rambus DRAM)에서는 RSL(Rambus Signaling Logic)을 인터페이스로 사용하고 있다. GTL과 RSL 인터페이스의 특성을 정리하면 다음과 같다.

인터페이스	터미네이션 방법	전형적인 출력전압 스윙	터미네이션 전압	외부 기준 전압
GTL	싱글(single)	800mV	1.2V	0.8V
RSL	싱글(single)	1V	2.5V	2.2V

도 1은 종래의 메모리 인터페이스(GTL 또는 RSL)의 개념도이다. 싱글 터미네이션(Single Termination)된 전송 라인(Transmission Line)(12)을 데이터 신호를 전달하고, 드라이버(11)는 오픈 드레인 구조의 nMOS 트랜지스터(MN1)가 '턴-오프'되어 '0' 데이터를, '턴-온'되어 '1' 데이터를 각각 드라이빙(driving)한다. 리시버(Receiver)(13)는 비교기로서 칩 외부에서 생성된 기준 전압(Vref)과 전달된 데이터 신호의 전압을 비교하여 '0'과 '1' 데이터를 판별한다. 이때, 외부 기준 전압은 보드(Board)에서 레지스터들(R1과 R2)로부터 만들어져 각 칩의 리시버(13)에서 공유된다. 그러나, 외부에서 생성된 Vref는 터미네이션 전압 Vtt의 변동이나, 전달 라인(12)의 특성변화, 그라운드 바운스(Ground Bounce)에 따른 드라이버의 구동능력 변화를 반영할 수 없었다. 따라서, 최소 출력 전압 변동 폭은 어느 정도의 마진(Margin)을 갖고 유지할 수 밖에 없는데, 이는 인터페이스의 고속, 저전력 특성을 향상시키는데 제한 요인이 된다. 또한, 고속 데이터 전송에서 EMI(Electromagnetic Interference) 발생을 줄이기 위해서는, 가능하면 출력 전압의 변동 폭(Swing)을 감소시켜야 한다. GTL이나 RSL의 경우에도 각각 800mV, 1V의 출력 전압 변동폭이 요구되므로, 고속 동작이 될수록 EMI 발생이 증가하는 문제점이 있었다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명은 상기 문제점을 해결하기 위하여 이루어진 것으로서, 본 발명의 목적은 싱글 또는 패러럴로 터미네이션된 전송 라인을 사용하는 메모리 인터페이스에서 데이터 드라이버와 기준 전압 드라이버를 동시에 구동하여 리시버에 전달함으로써 공통 모드 노이즈 및 그라운드 바운스의 영향을 줄일 수 있고, 동시에 출력 전압의 변동폭을 감소시킬 수 있어 고속, 저전력 소모를 실현시킨 고속 버스 인터페이스 회로를 제공하는데 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여, 본 발명의 고속 버스 인터페이스 회로는 싱글 터미네이션된 전송 라인을 통하여 데이터 신호를 전달하는 데이터 드라이버와, 상기 싱글 터미네이션된 동일한 환경의 전송 라인을 통하여 기준 전압 신호를 전달하는 기준 전압 드라이버와, 상기 전송 라인을 통하여 전달된 데이터 신호와 기준 전압 신호를 비교하여 로직값을 판별하는 리시버를 구비하는 것을 특징으로 한다. 상기 데이터 드라이버와 기준 전압 드라이버는 오픈 드레인 구조의 MOS 트랜지스터이다. 상기 데이터 드라이버와 기준 전압 드라이버는 오픈 콜렉터 구조의 바이폴라 트랜지스터도 가능하다. 그리고, 상기 데이터 드라이버의 사이즈가 기준 전압 드라이버의 사이즈보다 커서 구동할 수 있는 전류량이 큰 것을 특징으로 한다. 상기 데이터 신호와 기준 전압 신호는 모두 대기 상태에서 터미네이션 전압(Vtt) 레벨을 유지하며, 상기 데이터 신호와 기준 전압 신호를 전달하는 경우, 상기 기준 전압 드라이버가 먼저 동작하여 'Vtt-ΔVR' 전압 레벨로 되고, 그 다음에 '0' 데이터는 상기 데이터 드라이버가 '턴-오프'되어 터미네이션 전압 레벨을, '1' 데이터는 데이터 드라이버가 '턴-온'되어 'Vtt-ΔVD' 전압 레벨이 되는 것을 특징으로 한다.

상기 목적을 달성하기 위하여, 본 발명의 다른 고속 버스 인터페이스 회로는 싱글 터미네이션된 n개의 전송 라인을 통하여 n개의 데이터 신호를 전달하는 n개의 데이터 드라이버와, 상기 싱글 터미네이션된 동일한 환경의 전송 라인을 통하여 기준 전압 신호를 전달하는 기준 전압 드라이버와, 상기 전송 라인을 통하여 전달된 n개의 데이터 신호와 기준 전압 신호를 비교하여 로직값을 판별하는 n개의 리시버로 각각 구성된 칩 A 및 칩 B와, 상기 칩 A와 B 사이에 n개의 데이터 신호를 전달하는 싱글 터미네이션된 전송 라인과, 기준 전압 신호를 전달하는 싱글 터미네이션된 전송 라인을 구비한 것을 특징으로 한다.

상기 목적을 달성하기 위하여, 본 발명의 또다른 고속 버스 인터페이스 회로는 패러럴 터미네이션된 n개의 전송 라인을 통하여 n개의 데이터 신호를 전달하는 데이터 드라이버와, 상기 패러럴 터미네이션된 동일한 환경의 전송 라인을 통하여 기준 전압 신호를 전달하는 기준 전압 드라이버와, 상기 전송 라인을 통하여 전달된 n개의 데이터 신호와 기준 전압 신호를 비교하여 로직값을 판별하는 n개의 리시버로 각각 구성된 칩 A 및 칩 B와, 상기 칩 A와 칩 B 사이에 n개의 데이터 신호를 전달하는 패러럴 터미네이션된 전송 라인과,

기준 전압 신호를 전달하는 패러럴 터미네이션된 전송 라인을 구비한 것을 특징으로 한다.

이하, 본 발명의 일 실시예에 관하여 첨부도면을 참조하면서 상세히 설명한다.

도 2A는 본 발명의 고속 버스 인터페이스의 제 1 개념도를 도시한 것으로, 싱글 터미네이션된 전송 라인(12)을 통하여 데이터 신호를 전달하는 데이터 드라이버(11)와, 상기 싱글 터미네이션된 동일한 환경의 전송 라인(22)을 통하여 기준 전압 신호를 전달하는 기준 전압 드라이버(21)와, 상기 전송 라인을 통하여 전달된 데이터 신호와 기준 전압 신호를 비교하여 로직값을 판별하는 리시버(13)를 구비하였다.

본 발명에서는 종래의 GTL이나 RS, 인터페이스와 달리 기준 전압(Vref) 신호가 데이터 신호와 동일한 환경의 전송 라인을 통하여 리시버(13)에 전달된다. 따라서, 데이터 신호의 전송 라인(12)과 Vref 신호의 전송 라인(22)을 적절하게 잘 배치하면, 공통 모드 노이즈의 영향을 비슷하게 받게 된다. 일반적으로 리시버(13)는 차동 증폭기를 사용하므로 데이터 라인(12)과 기준 전압 라인(22)에 생긴 공통 모드 노이즈 영향을 줄일 수 있다. (종래의 메모리 인터페이스에서는 기준전압라인의 환경이 데이터 라인의 환경과 다르다.) 또한, 다수의 드라이버가 동작하는 칩에서는 동시에 많은 전류가 흐르게 되어 그라운드 바운드가 발생하는데, 이로 인한 데이터 드라이버의 구동 조건에 변동이 생기는 경우 기준 전압 드라이버에도 같이 반영되므로 그라운드 바운드의 영향을 감소시킬 수 있다. 그림에서 데이터 드라이버는 Vref 드라이버의 크기에 비하여 크므로 iD 이 iR 이다. (iD : 데이터 드라이버가 구동하는 전류량, iR : 기준 전압 드라이버가 구동하는 전류량).

도 2B는 본 발명의 고속 버스 인터페이스의 데이터 신호 및 Vref 신호의 파형예이다. 대기 상태에서는 데이터 신호와 Vref 신호 모두 'Vtt' 전압 레벨을 유지하고 있다. 데이터 드라이버(11)가 동작하여 데이터 신호를 전송 라인을 통하여 리시버(13)로 전달하는 경우, 먼저 Vref 드라이버(21)가 동작하여 'Vtt-ΔVR' 전압 레벨로 되고, 다음 데이터 드라이버(11)가 동작한다. '0' 데이터는 데이터 드라이버(11)가 '턴-오프'되어 'Vtt' 전압 레벨을 유지하고, '1' 데이터는 데이터 드라이버(11)가 '턴-온'되어 'Vtt-ΔVR' 전압 레벨이 된다. (본 발명에서 데이터 드라이버의 iD 가 Vref 드라이버의 iR 에 비하여 크므로 $|\Delta VD| > |\Delta VR|$ 이다.) 그림에서는 데이터 '1'-'0'-'1'을 연속적으로 보낼 때의 데이터 신호와 Vref 신호의 파형을 나타낸 것이다.

도 3은 본 발명의 고속 버스 인터페이스의 제 1 개념도의 실시예를 도시한 것으로, 싱글 터미네이션 전송 라인을 통하여 n개의 데이터 신호를 전달하는 n개의 데이터 드라이버(drvA1~drvAn)와, 상기 싱글 터미네이션된 동일한 환경의 전송 라인을 통하여 기준 전압 신호를 전달하는 기준 전압 드라이버(refA)와, 상기 전송 라인을 통하여 전달된 n개의 데이터 신호와 기준 전압 신호를 비교하여 로직값을 판별하는 n개의 리시버(recA1~recAn)로 각각 구성된 칩 A와 마찬가지로 구성된 칩 B와, 상기 칩 A와 칩 B 사이에 n개의 데이터 신호를 전달하는 싱글 터미네이션된 전송 라인과, 기준 전압 신호를 전달하는 싱글 터미네이션된 전송 라인으로 구성되어 있다.

즉, 도 3에서는 칩 A와 칩 B 사이에 싱글 터미네이션되어 있는 환경에서 데이터 신호를 전달할 때의 드라이버와 리시버의 연결을 도시한 것이다. 예를 들어 칩 A에서 칩 B로 n개의 데이터 신호를 전송 라인을 통해 전달하면 칩 A의 n개의 데이터 드라이버(drvA~drvA n)와 Vref 드라이버(refA)가 구동되어 데이터 신호와 Vref 신호를 칩 B의 n개의 리시버(recB 1 ~ recB n)로 전달한다. 마찬가지로 칩 B에서 칩 A로 n개의 데이터 신호를 전송 라인을 통해 전달하면 칩 B의 n개의 데이터 드라이버(drvB~drvB n)와 Vref 드라이버(refB)가 구동되어 데이터 신호와 Vref 신호를 칩 A의 n개의 리시버(recA 1~recA n)로 전달한다.

도 4는 본 발명의 고속 버스 인터페이스의 제 2 개념도이다. 도 2A와 달리 패러럴 터미네이션되어 있는 전송 라인에서 본 발명이 구성되어 있다.

상기 구성은 패러럴 터미네이션된 전송 라인을 통하여 데이터 신호를 전달하는 데이터 드라이버(31)와, 상기 패러럴 터미네이션된 동일한 환경의 전송 라인을 통하여 기준 전압 신호를 전달하는 기준 전압 드라이버(35)와, 상기 전송 라인을 통하여 전달된 데이터 신호와 기준 전압 신호를 비교하여 로직값을 판별하는 리시버(33)를 구비한다.

앞에서와 마찬가지로 기준 전압(Vref) 신호와 데이터 신호는 동일한 환경의 전송 라인을 통하여 리시버에 전달되므로, 데이터 신호의 전송 라인과, Vref 신호의 전송 라인을 적절하게 잘 배치하면 공통 모드 노이즈의 영향을 줄일 수 있다. 또한, 도 2A의 제 1 개념도와 마찬가지로 그라운드 바운드의 발생으로 인한 데이터 드라이버의 구동 조건에 변동이 생기는 경우, Vref 드라이버에도 같이 반영되므로 그라운드 바운드의 영향을 감소시킬 수 있다. 패러럴 터미네이션되어 있는 경우, 전송 라인 양단에서의 신호 반사를 막을 수 있어 싱글 터미네이션된 경우보다 신호의 왜곡을 적게 할 수 있지만, 데이터 드라이버와 Vref 드라이버가 구동해야 하는 전류가 증가할 전력 소모가 증가한다.

도 5는 본 발명의 고속 버스 인터페이스의 제 2 개념도의 실시예를 도시한 것으로, 패러럴 터미네이션된 전송 라인을 통하여 n개의 데이터 신호를 전달하는 n개의 데이터 드라이버(drvA1~drvAn)와, 상기 패러럴 터미네이션된 동일한 환경의 전송 라인을 통하여 기준 전압 신호를 전달하는 기준 전압 드라이버(refA)와, 상기 전송 라인을 통하여 전달된 n개의 데이터 신호와 기준 전압 신호를 비교하여 로직값을 판별하는 n개의 리시버(recA1~recAn)로 각각 구성된 칩 A와 마찬가지로 구성된 칩 B와, 상기 칩 A와 칩 B 사이에 n개의 데이터 신호를 전달하는 패러럴 터미네이션된 전송 라인과, 기준전압신호를 전달하는 패러럴 터미네이션된 전송 라인을 구비한다.

여기서는 상기 칩 A와 B 사이에 패러럴 터미네이션되어 있는 환경에서 데이터 신호를 전송할 때의 드라이버와 리시버의 연결을 도시한 것이다. 예를 들어 칩 A에서 칩 B로 n개의 데이터 신호를 전송 라인을 통해 전달하면 칩 A의 n개의 데이터 드라이버(drvA~drvA n)와 Vref 드라이버(refA)가 구동되어 데이터 신호와 Vref 신호를 칩 B의 n개의 리시버(recB 1 ~ recB n)로 전달한다.

마찬가지로, 칩 B에서 칩 A로 n개의 데이터 신호를 전송 라인을 통해 전달하면 칩 B의 n개의 데이터 드라이버(drvB~drvB n)와 Vref 드라이버(refB)가 구동되어 데이터 신호와 Vref 신호를 칩 A의 n개의 리시버(recA1~recAn)로 전달된다.

발명의 효과

앞에서 설명한 바와 같이, 본 발명의 고속 버스 인터페이스 회로에 의하면, 외부에서 생성된 기준 전압을 사용하지 않고, 데이터 드라이버와 동일한 환경에서 기준 전압 드라이버로 기준 전압 신호가 생성되므로 칩의 내부 그라운드 바운스에 의한 영향을 줄일 수 있으며, 또한 데이터 신호 및 Vref 신호의 전송 라인을 적절하게 배치하여 공통 모드 노이즈의 영향도 감소시킬 수 있다. 그리고, 본 발명의 기준 전압 신호는 데이터 구동할 때만 드라이빙되고, 대기 상태에서는 'Vtt' 전압레벨을 유지하므로 대기상태에서의

불필요한 전력 소모를 제거할 수 있으며, 종래의 버스 인터페이스와 비교하여 출력 전압의 변동폭을 감소시킬 수 있어 고속 데이터 전송과 저전력 소모가 가능하며, EMI 발생도 줄일 수 있는 매우 뛰어난 효과가 있다.

아울러 본 발명의 바람직한 실시예들은 예시의 목적을 위해 개시된 것이며, 당업자라면 본 발명의 사상과 범위 안에서 다양한 수정, 변경, 부가등이 가능할 것이며, 이러한 수정 변경등은 이하의 특허 청구의 범위에 속하는 것으로 보아야 할 것이다.

(57) 청구의 범위

청구항 1

싱글 터미네이션된 전송 라인을 통하여 데이터 신호를 전달하는 데이터 드라이버와,

상기 싱글 터미네이션된 동일한 환경의 전송 라인을 통하여 기준 전압 신호를 전달하는 기준 전압 드라이버와,

상기 전송 라인을 통하여 전달된 데이터 신호와 기준 전압 신호를 비교하여 로직값을 판별하는 리시버를 구비하는 것을 특징으로 하는 고속 버스 인터페이스 회로.

청구항 2

제 1 항에 있어서, 상기 데이터 드라이버와 기준 전압 드라이버는 오픈 드레인 구조의 MOS 트랜지스터인 것을 특징으로 하는 고속 버스 인터페이스 회로.

청구항 3

제 2 항에 있어서, 상기 데이터 드라이버의 사이즈가 기준 전압 드라이버의 사이즈보다 커서 구동할 수 있는 전류량이 큰 것을 특징으로 하는 고속 버스 인터페이스 회로.

청구항 4

제 1 항에 있어서, 상기 데이터 드라이버와 기준 전압 드라이버는 오픈 컬렉터 구조의 바이폴라 트랜지스터인 것을 특징으로 하는 고속 버스 인터페이스 회로.

청구항 5

제 1 항에 있어서, 상기 데이터 신호와 기준 전압 신호는 모두 대기 상태에서 터미네이션 전압(V_{tt}) 레벨을 유지하며,

상기 데이터 신호와 기준 전압 신호를 전달하는 경우,

상기 기준 전압 드라이버가 먼저 동작하여 ' $V_{tt}-\Delta V_R$ ' 전압 레벨로 되고,

그 다음에 '0' 데이터는 상기 데이터 드라이버가 '턴-오프'되어 터미네이션 전압 레벨을, '1' 데이터는 데이터 드라이버가 '턴-온'되어 ' $V_{tt}-\Delta V_R$ ' 전압 레벨이 되는 것을 특징으로 하는 고속 버스 인터페이스 회로.

청구항 6

싱글 터미네이션된 전송 라인을 통하여 n 개의 데이터 신호를 전달하는 n 개의 데이터 드라이버와, 상기 싱글 터미네이션된 동일한 환경의 전송 라인을 통하여 기준 전압 신호를 전달하는 m 개의 기준 전압 드라이버와, 상기 전송 라인을 통하여 전달된 n 개의 데이터 신호와 m 개의 기준 전압 신호를 비교하여 로직값을 판별하는 n 개의 리시버로 각각 구성된 칩 A 및 칩 B와,

상기 칩 A와 칩 B 사이에 n 개의 데이터 신호를 전달하는 싱글 터미네이션된 전송 라인 및 m 개의 기준전압 신호를 전달하는 싱글 터미네이션된 전송 라인을 구비한 것을 특징으로 하는 고속 버스 인터페이스 회로.

청구항 7

제 6 항에 있어서, 상기 n , m 은 자연수인 것을 특징으로 하는 고속 버스 인터페이스 회로.

청구항 8

제 7 항에 있어서, 상기 자연수 m 은 $1 \leq m \leq n$ 인 것을 특징으로 하는 고속 버스 인터페이스 회로.

청구항 9

패러렐 터미네이션된 전송 라인을 통하여 데이터 신호를 전달하는 데이터 드라이버와,

상기 패러렐 터미네이션된 동일한 환경의 전송 라인을 통하여 기준 전압 신호를 전달하는 기준 전압 드라이버와,

상기 전송 라인을 통하여 전달된 데이터 신호와 기준 전압 신호를 비교하여 로직값을 판별하는 리시버를 구비하는 것을 특징으로 하는 고속 버스 인터페이스 회로.

청구항 10

패러렐 터미네이션된 전송 라인을 통하여 n 개의 데이터 신호를 전달하는 n 개의 데이터 드라이버와, 상기 패러렐 터미네이션된 동일한 환경의 전송 라인을 통하여 m 개의 기준 전압 신호를 전달하는 m 개의 기준 전압 드라이버와, 상기 전송 라인을 통하여 전달된 n 개의 데이터 신호와 m 개의 기준 전압 신호를 비교하여

로직값을 판별하는 n 개의 리시버로 각각 구성된 칩 A 및 칩 B와,

상기 칩 A와 칩 B 사이에 n 개의 데이터 신호를 전달하는 패러렐 터미네이션된 전송 라인 및 m 개의 기준전압신호를 전달하는 패러렐 터미네이션된 전송 라인을 구비한 것을 특징을 하는 고속 버스 인터페이스 회로.

청구항 11

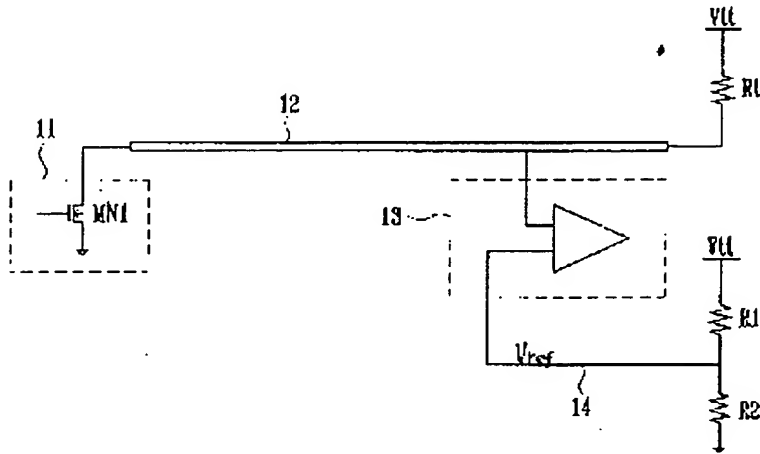
제 10 항에 있어서, 상기 n , m 은 자연수인 것을 특징으로 하는 고속 버스 인터페이스 회로.

청구항 12

제 11 항에 있어서, 상기 자연수 m 은 $1 \leq m \leq n$ 인 것을 특징으로 하는 고속 버스 인터페이스 회로.

도면

도면1



도면2a

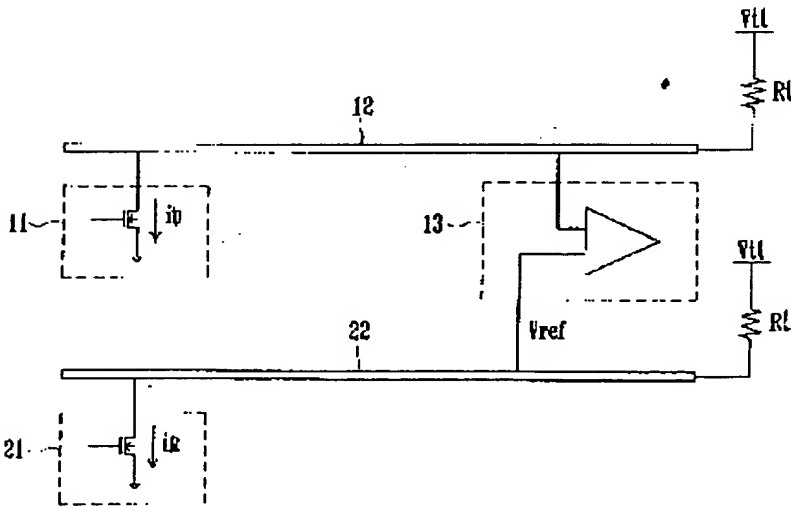


圖 4

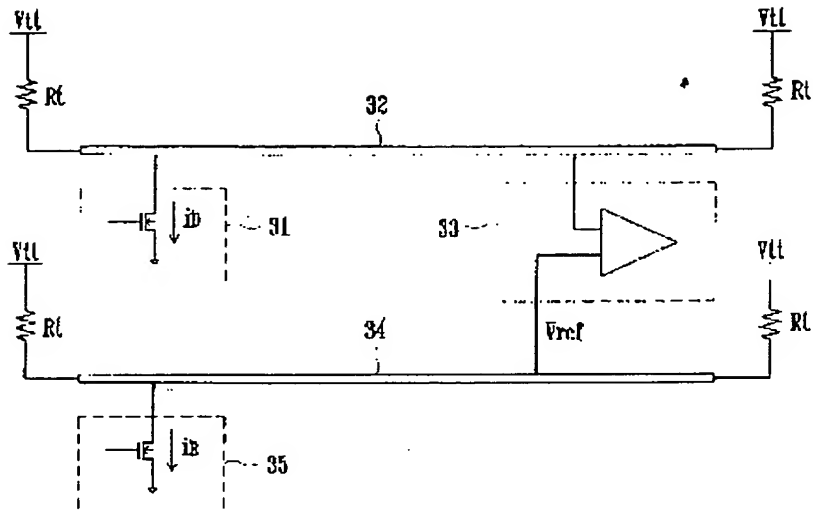


圖 5

